


FULL NAME OF FOURTH INVENTOR	PARK, Sung Kee	
RESIDENCE & CITIZENSHIP	Kyungki-Do, Republic of Korea	COUNTRY OF CITIZENSHIP Republic of Korea
POST OFFICE ADDRESS	Godamgisuksa 102-707, Godam-Dong, Ichon-Shi, Kyungki-Do, Republic of Korea	
FOURTH INVENTOR'S SIGNATURE 		DATE January 7, 2002

Listing of Inventors Continued on attached page(s): ☐ Yes ☒ No



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 73419 호
Application Number PATENT-2001-0073419

출원년월일 : 2001년 11월 23일
Date of Application NOV 23, 2001

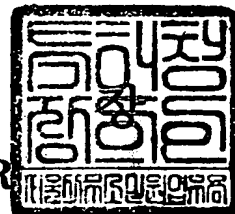
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 12 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0004
【제출일자】 2001.11.23
【발명의 명칭】 콘택 저항 측정용 테스트 패턴 및 그 제조 방법
【발명의 영문명칭】 Test pattern for measuring contact resistance and method of manufacturing the same

【출원인】

【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8

【대리인】

【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1

【발명자】

【성명의 국문표기】 김기석
【성명의 영문표기】 KIM,Ki Seog
【주민등록번호】 620626-1173316
【우편번호】 467-050
【주소】 경기도 이천시 안흥동 일성APT 102-508
【국적】 KR

【발명자】

【성명의 국문표기】 유영선
【성명의 영문표기】 Y0U,Young Seon
【주민등록번호】 661212-1025611
【우편번호】 463-050
【주소】 경기도 성남시 분당구 서현동 동아아파트 203동 902호
【국적】 KR

【발명자】

【성명의 국문표기】 이근우
【성명의 영문표기】 LEE,Keun Woo

【주민등록번호】	680505-1802437
【우편번호】	467-140
【주소】	경기도 이천시 고담동 고담기숙사 102-502
【국적】	KR
【발명자】	
【성명의 국문표기】	박성기
【성명의 영문표기】	PARK,Sung Kee
【주민등록번호】	690123-1805714
【우편번호】	467-140
【주소】	경기도 이천시 고담동 고담기숙사 102-707
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	15 면 15,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	17 항 653,000 원
【합계】	697,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 자기정렬된 라인 콘택을 사용하는 반도체 소자를 제조하기 위한 실제 공정을 진행하기 전에 소자에 적합한 콘택 저항을 얻을 수 있는지 확인하기 위하여, 실제 소자에 적용되는 라인 콘택의 디자인 룰에 따라 콘택 저항 측정용 테스트 패턴을 설계하되, 라인 콘택 지역이 워드라인 지역을 사이에 두고 한 쌍을 이루도록 제 1 라인 콘택 지역과 제 2 라인 콘택 지역을 형성하고; 제 1 라인 콘택 지역에 다수의 소오스를, 제 2 라인 콘택 지역에 다수의 소오스를 형성하되, 제 1 라인 콘택 지역과 제 2 라인 콘택 지역이 전기적으로 연결되도록 이웃하는 소오스가 확산층에 의해 연결되고; 제 1 및 제 2 라인 콘택 지역 각각에서 다수의 소오스중 2개의 소오스씩 전기적으로 연결되도록 다수의 라인 콘택 패턴을 형성하되, 제 1 라인 콘택 지역에 형성된 라인 콘택 패턴과 제 2 라인 콘택 지역에 형성된 라인 콘택 패턴이 상호 엇갈리게 배치되도록 하므로써, 저항 측정을 위한 전류가 제 1 라인 콘택 지역과 제 2 라인 콘택 지역을 순차적으로 흐를 수 있어 각 소오스 부분의 콘택 저항이 고려된 라인 콘택 저항을 측정할 수 있는 콘택 저항 측정용 테스트 패턴 및 그 제조 방법이 개시된다.

【대표도】

도 2

【색인어】

테스트 패턴, 콘택 저항, 라인 콘택

【명세서】

【발명의 명칭】

콘택 저항 측정용 테스트 패턴 및 그 제조 방법{Test pattern for measuring contact resistance and method of manufacturing the same}

【도면의 간단한 설명】

도 1은 종래의 콘택 저항 측정용 테스트 패턴의 구조도.

도 2는 본 발명에 따른 콘택 저항 측정용 테스트 패턴의 구조도.

도 3 내지 도 5는 본 발명의 제 1 실시예에 따른 도 2의 콘택 저항 측정용 테스트 패턴의 제조 방법을 설명하기 위한 단면도.

도 6 내지 도 8은 본 발명의 제 2 실시예에 따른 도 2의 콘택 저항 측정용 테스트 패턴의 제조 방법을 설명하기 위한 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 20; 테스트 웨이퍼 12: 소자 분리막

13: 소오스/드레인 확산층 14: 콘택 패턴

15: 연결 패턴 16: 전류 경로

20: 테스트 웨이퍼 30: 소자 분리막

40: 액티브 영역 50: 제 1 라인 콘택 지역

51a, 51b, 51c: 소오스 확산층 500a, 500b: 라인 콘택 패턴

60: 워드라인 지역 61a, 61b, 61c: 연결 확산층

610a, 610b, 610c: 문턱전압 이온주입 영역 61: 워드라인

70: 제 2 라인 콘택 지역 71a, 71b, 71c: 소오스 확산층

700a, 700b: 라인 콘택 패턴 80: 절연막 스페이서

90: 절연층 100: 자기정렬 콘택 마스크

567: 전류 경로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 콘택 저항 측정용 테스트 패턴 및 그 제조 방법에 관한 것으로, 특히 자기정렬된 라인 콘택(self aligned line contact)을 사용하는 반도체 소자에서 콘택 저항을 용이하게 측정할 수 있는 콘택 저항 측정용 테스트 패턴 및 그 제조 방법에 관한 것이다.

<19> 일반적으로, 반도체 소자가 고집적화되어 감에 따라 콘택 면적이 좁아지고 있다. 콘택 면적이 좁아짐에 따라 접촉 불량에 의한 콘택 저항의 증가가 문제가 되고 있다. 따라서, 반도체 소자를 제조하기 위한 실제 공정을 진행하기 전에 소자에 적합한 콘택 저항을 얻을 수 있는지 확인하기 위하여, 실제 소자에 적용되는 콘택의 디자인 룰에 따라 콘택 저항 측정용 테스트 패턴을 제조하고, 제조된 콘택 저항 측정용 테스트 패턴으로 콘택 저항을 측정한다.

- <20> 도 1은 종래의 콘택 저항 측정용 테스트 패턴의 구조도로이다.
- <21> 도 1을 참조하면, 테스트 웨이퍼(11)에 다수의 소자 분리막(12)을 형성하여 다수의 액티브 영역을 확정한다. 워드 라인(도시 안됨)을 형성한 후, 소오스/드레인 이온 주입 공정으로 다수의 소오스/드레인 확산층(13)을 형성한다. 다수의 소오스/드레인 확산층(13)이 형성된 전체 구조상에 층간 절연막(도시 안됨) 및 콘택홀(도시 안됨) 형성 공정을 실시하고, 콘택홀 내에 콘택 패턴(14)을 형성한다. 콘택 패턴(14)은 하나의 소오스/드레인 확산층(13)에 두개씩 형성시킨다. 다수의 소오스/드레인 확산층(13)이 전기적으로 연결되도록 연결 패턴(15)을 형성한다.
- <22> 이러한 일련의 콘택 저항 측정용 테스트 패턴의 제조 공정은 실제 소자의 제조 공정의 디자인 룰에 준하여 이루어진다.
- <23> 도 1에 도시된 바와 같이, 종래 콘택 저항 측정용 테스트 패턴은 하나의 고립된 소오스/드레인 확산층(13)에 고립된 두개의 콘택 패턴(14)이 형성되고, 두개의 콘택 패턴(14) 각각에는 연결 패턴(15)이 형성되어 이웃하는 다른 콘택 패턴(14)과 연결되도록 구성된다. 콘택 저항을 측정하기 위해 필요한 전류의 흐름은, 도 1에 도시된 전류 경로(16)와 같이, 연결 패턴(15), 콘택 패턴(14) 및 소오스/드레인 확산층(13)의 순서로 2차원적인 전류 흐름을 형성한다.
- <24> 소오스/드레인 확산층(13)에 콘택 패턴(14)이 양호하게 접촉되었을 경우의 이상적인 전체 저항은 일반적인 수학식에 의해 쉽게 구할 수 있다. 콘택 저항 측정용 테스트 패턴에 의해 얻어지는 전체 저항이 이상적인 전체 저항과 유사하게 얻어질 경우에는 실제 소자를 제조하기 위한 디자인 룰을 적용하고, 콘택 저항

측정용 테스트 패턴에 의해 얻어지는 전체 저항이 이상적인 전체 저항보다 높게 얻어질 경우에는 접촉 불량에 유발된 것으로 추정하여 디자인 룰을 새로이 한다든지 다른 대책을 세우게 된다. 이와 같이, 콘택 저항 측정용 테스트 패턴은 실제 소자에서 발생하는 문제점을 미리 진단하게 하므로써, 소자의 불량을 미연에 방지할 수 있고, 불필요한 시간 소요 및 기타 비용을 절감하게 한다.

<25> 최근, 자기정렬된 라인 콘택을 사용하는 반도체 소자가 형성되고 있는데, 상기한 종래 콘택 저항 측정용 테스트 패턴으로는 콘택 저항 측정이 불가능하다. 즉, 종래 콘택 저항 측정용 테스트 패턴은 고립된 소오스/드레인 확산층과 고립된 콘택 패턴을 갖는 소자의 콘택 저항 측정에 적합하지만, 자기정렬된 라인 콘택을 갖는 소자의 콘택 저항을 측정하기는 적합하지 않다.

<26> 자기정렬된 라인 콘택을 사용하는 반도체 소자로 플래쉬 이이피롬(flash EEPROM)을 예로서 간단히 설명하면, 먼저 다수의 소자 분리막을 형성하여 다수의 액티브 영역을 정의하고, 스페이서 절연막으로 둘러싸인 워드 라인을 형성하고, 소오스/드레인 확산층을 형성하고, 층간 절연막을 증착하고 평탄화 시킨 후, 자기정렬 소오스 콘택 공정으로 다수의 소오스 확산층이 노출되는 자기정렬 콘택홀을 형성하고, 자기정렬 콘택홀에 도전층을 채워 소오스 라인 콘택을 형성하게 된다.

<27> 이와 같이, 소오스 라인 콘택은 다수의 소오스 확산층을 하나로 연결시키고 있다. 따라서, 종래와 같이 2차원적인 전류 흐름을 발생시켰을 경우 낮은 저항의 도전성 물질로 형성되는 라인 콘택을 따라 전류가 흐르고, 이온 주입에 의해

형성되는 소오스 확산층으로는 전류가 흐르지 않기 때문에 각 소오스 확산층에서 접촉 불량에 발생되는지를 알 수가 없다.

<28> 콘택 저항 측정용 테스트 패턴이 실제 소자에서 발생하는 문제점을 미리 진단하여 소자의 불량을 미연에 방지하고, 불필요한 시간 소요 및 기타 비용을 절감하게 하는 장점을 고려할 때, 자기정렬된 라인 콘택을 사용하는 반도체 소자에 적합한 콘택 저항 측정용 테스트 패턴의 개발이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명은 자기정렬된 라인 콘택을 사용하는 반도체 소자에서 콘택 저항을 용이하게 측정할 수 있는 콘택 저항 측정용 테스트 패턴 및 그 제조 방법을 제공함에 그 목적이 있다.

<30> 이러한 목적을 달성하기 위한 본 발명에 따른 콘택 저항 측정용 테스트 패턴은 다수의 소자 분리막을 형성하여 다수의 액티브 영역이 정의된 테스트 웨이퍼; 상기 다수의 소자 분리막 및 다수의 액티브 영역을 가로지르는 워드라인 지역에 형성된 다수의 연결 확산층; 상기 워드라인 지역의 일측에 위치한 제 1 라인 콘택 지역에 형성된 다수의 소오스 확산층; 상기 워드라인 지역의 다른 측에 위치한 제 2 라인 콘택 지역에 형성된 다수의 소오스 확산층; 및 상기 제 1 및 제 2 라인 콘택 지역에 형성된 다수의 라인 콘택 패턴; 상기 제 1 라인 콘택 지역에 형성된 상기 라인 콘택 패턴과 상기 제 2 라인 콘택 지역에 형성된 상기 라

인 콘택 패턴은 상호 엇갈리게 배치되며, 저항 측정을 위한 전류가 상기 워드라인 지역을 사이에 두고 상기 제 1 라인 콘택 지역과 상기 제 2 라인 콘택 지역을 따라 3차원적으로 흐르도록 구성된 것을 특징으로 한다.

<31> 본 발명의 목적을 달성하기 위한 콘택 저항 측정용 테스트 패턴의 제조 방법은 테스트 웨이퍼에 다수의 소자 분리막을 형성하여 다수의 액티브 영역을 정의하는 단계; 불순물 주입 공정을 실시하여, 제 1 라인 콘택 지역의 다수의 액티브 영역에 소오스 확산층을, 워드라인 지역의 다수의 액티브 영역에 연결 확산층을, 제 2 라인 콘택 지역의 다수의 액티브 영역에 소오스 확산층을 동시에 형성하는 단계; 상기 워드라인 지역에 절연막 스페이서로 둘러싸인 워드라인을 형성하는 단계; 상기 워드라인을 포함한 전체 구조상에 표면이 평탄화된 절연층을 형성하는 단계; 상기 절연층상에 자기정렬 콘택 마스크를 형성하는 단계; 및 상기 자기정렬 콘택 마스크를 이용한 자기정렬 콘택 공정을 통해 상기 제 1 및 제 2 라인 콘택 지역에 다수의 라인 콘택 패턴을 형성하는 단계; 상기 제 1 라인 콘택 지역에 형성된 상기 라인 콘택 패턴과 상기 제 2 라인 콘택 지역에 형성된 상기 라인 콘택 패턴은 상호 엇갈리게 배치되며, 저항 측정을 위한 전류가 상기 워드라인 지역을 사이에 두고 상기 제 1 라인 콘택 지역과 상기 제 2 라인 콘택 지역을 따라 3차원적으로 흐르도록 이루어진 것을 특징으로 한다.

<32> 또한, 본 발명의 목적을 달성하기 위한 콘택 저항 측정용 테스트 패턴의 제조 방법은 테스트 웨이퍼에 다수의 소자 분리막을 형성하여 다수의 액티브 영역을 정의하는 단계; 문턱전압 이온주입 공정을 실시하여, 워드라인 지역의 다수의 액티브

브 영역에 문턱전압 이온주입 영역을 형성하는 단계; 상기 워드라인 지역에 워드라인을 형성하는 단계; 불순물 주입 공정을 실시하여, 제 1 라인 콘택 지역의 액티브 영역 각각에 소오스 확산층을, 제 2 라인 콘택 지역의 다수의 액티브 영역 각각에 소오스 확산층을 형성하는 단계; 상기 워드라인을 둘러싸는 절연막 스페이서를 형성하는 단계; 상기 워드라인을 포함한 전체 구조상에 표면이 평탄화된 절연층을 형성하는 단계; 상기 절연층상에 자기정렬 콘택 마스크를 형성하는 단계; 및 상기 자기정렬 콘택 마스크를 이용한 자기정렬 콘택 공정을 통해 상기 제 1 및 제 2 라인 콘택 지역에 다수의 라인 콘택 패턴을 형성하는 단계; 상기 제 1 라인 콘택 지역에 형성된 상기 라인 콘택 패턴과 상기 제 2 라인 콘택 지역에 형성된 상기 라인 콘택 패턴은 상호 엇갈리게 배치되며, 저항 측정을 위한 전류가 상기 워드라인 지역을 사이에 두고 상기 제 1 라인 콘택 지역과 상기 제 2 라인 콘택 지역을 따라 3차원적으로 흐르도록 이루어진 것을 특징으로 한다.

【발명의 구성 및 작용】

- <33> 이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- <34> 도 2는 본 발명에 따른 콘택 저항 측정용 테스트 패턴의 구조도 이다.
- <35> 도 2에 도시된 바와 같이, 본 발명의 콘택 저항 측정용 테스트 패턴은, 자기정렬된 라인 콘택을 사용하는 반도체 소자에 적용하기 위하여, 테스트 웨이퍼(20)상에 다수의 소자 분리막(30)을 형성하여 다수의 액티브 영역(40)을 정의(define)하고; 다수의 소자 분리막 및 다수의 액티브 영역을 가로지르는 워드라

인 지역(60)에 다수의 연결 확산층(61a 또는 61b 또는 61c)을 형성하고; 워드라인 지역(60)의 일측에 위치한 제 1 라인 콘택 지역(50)에 다수의 소오스 확산층(51a, 51b, 51c)을 형성하고; 워드라인 지역(60)의 다른 측에 위치한 제 2 라인 콘택 지역(70)에 다수의 소오스 확산층(71a, 71b, 71c) 형성하고; 제 1 라인 콘택 지역(50)에 다수의 라인 콘택 패턴(500a 및 500b)을, 제 2 라인 콘택 지역(70)에 다수의 라인 콘택 패턴(700a 및 700b)을 형성하여, 전류 경로(567)가 제 1 라인 콘택 지역(50)의 제 1 라인 콘택 패턴(500a), 제 1 라인 콘택 지역(50)의 제 1 소오스 확산층(51a), 워드라인 지역(60)의 연결 확산층(61a), 제 2 라인 콘택 지역(70)의 제 1 소오스 확산층(71a), 제 2 라인 콘택 지역(70)의 제 1 라인 콘택 패턴(700a), 제 2 라인 콘택 지역(70)의 제 2 소오스 확산층(71b)으로 이루어지는 3차원적 전류 흐름이 되도록 구성된다.

<36> 상기에서, 제 1 라인 콘택 지역(50)과 제 2 라인 콘택 지역(70)의 이웃하는 소오스 확산층(51a/71a 또는 51b/71b 또는 51c/71c)은 워드라인 지역(60)의 연결 확산층(61a 또는 61b 또는 61c)에 의해 전기적으로 연결된다. 제 1 및 제 2 라인 콘택 지역(50 및 70)에 형성된 다수의 라인 콘택 패턴(500a, 500b, 700a 및 700b) 각각은 2개씩의 소오스 확산층(51b/51c 또는 71a/71b)만 전기적으로 연결되도록 고립되어 형성되며, 제 1 라인 콘택 지역(50)에 형성된 라인 콘택 패턴(500a 및 500b)과 제 2 라인 콘택 지역(70)에 형성된 라인 콘택 패턴(700a 및 700b)이 상호 엇갈리게 배치된다.

<37> 이러한 본 발명의 콘택 저항 측정용 테스트 패턴은 저항 측정을 위한 전류

가, 도 2에 도시된 전류 경로(567)와 같이, 제 1 라인 콘택 지역(50)과 제 2 라인 콘택 지역(70)을 3차원 적으로 흐를 수 있어 각 소오스 확산층(51a, 51b, 51c, 71a, 71b 또는 71c) 부분의 콘택 저항이 고려된 라인 콘택 저항을 측정할 수 있다.

<38> 자기정렬된 라인 콘택을 사용하는 반도체 소자에 적용하기 위한 본 발명의 콘택 저항 측정용 테스트 패턴을 도 3 내지 도 5 및 도 6 내지 도 8을 참조하여 그 제조 방법을 설명하면 다음과 같다.

<39> 도 3 내지 도 5는 본 발명의 제 1 실시예에 따라 도 2의 콘택 저항 측정용 테스트 패턴의 제조 방법을 설명하기 위한 단면도로서, 도 3a, 도 4a 및 도 5a는 레이아웃도 이고, 도 3b, 도 4b 및 도 5b는 도 3a, 도 4a 및 도 5a의 B-B선을 따라 절단한 단면도이고, 도 3c, 도 4c 및 도 5c는 도 3a, 도 4a 및 도 5a의 C-C선을 따라 절단한 단면도이고, 도 3d, 도 4d 및 도 5d는 도 3a, 도 4a 및 도 5a의 D-D선을 따라 절단한 단면도이다.

<40> 도 3을 참조하면, 테스트 웨이퍼(20)에 다수의 소자 분리막(30)을 형성하여 다수의 액티브 영역(40)을 정의(define)한다. 라인 콘택 지역이 워드라인 지역(60)을 사이에 두고 한 쌍을 이루도록 제 1 라인 콘택 지역(50)과 제 2 라인 콘택 지역(70)을 정의한다. 불순물 주입 공정을 실시하여, 제 1 라인 콘택 지역(50)의 다수의 액티브 영역(40) 각각에 소오스 확산층(51a, 51b, 51c)을, 워드라인 지역(60)의 다수의 액티브 영역(40) 각각에 연결 확산층(61a, 61b, 61c)을,

제 2 라인 콘택 지역(70)의 다수의 액티브 영역(40) 각각에 소오스 확산층(71a, 71b, 71c)을 동시에 형성한다.

<41> 상기에서, 제 1 라인 콘택 지역(50)과 제 2 라인 콘택 지역(70)은 다수의 연결 확산층(61a, 61b, 61c)에 의해 전기적으로 연결되는데, 제 1 및 제 2 라인 콘택 지역(50 및 70)의 제 1 소오스 확산층(51a 및 71a)은 워드라인 지역(60)의 제 1 연결 확산층(61a)에 의해 전기적으로 연결되고, 제 1 및 제 2 라인 콘택 지역(50 및 70)의 제 2 소오스 확산층(51b 및 71b)은 워드라인 지역(60)의 제 2 연결 확산층(61b)에 의해 전기적으로 연결되고, 제 1 및 제 2 라인 콘택 지역(50 및 70)의 제 3 소오스 확산층(51c 및 71c)은 워드 라인 지역(60)의 제 3 연결 확산층(61c)에 의해 전기적으로 연결된다.

<42> 도 4를 참조하면, 워드라인 지역(60)에 절연막 스페이서(80)로 둘러싸인 워드라인(61)을 형성한다. 워드라인(61)을 포함한 전체 구조상에 표면이 평탄화된 절연층(90)을 형성한다. 절연층(90)상에 자기정렬 콘택 마스크(100)를 형성한다.

<43> 상기에서, 자기정렬 콘택 마스크(100)는 워드라인(61) 상부, 제 1 라인 콘택 지역(50)의 제 1 소오스 확산층(51a)과 제 2 소오스 확산층(51b) 사이의 소자 분리막(30) 일부분 상부, 제 2 라인 콘택 지역(70)의 제 2 소오스 확산층(71b)과 제 3 소오스 확산층(71c) 사이의 소자 분리막(30) 일부분 상부가 덮이도록(close) 형성한다.

<44> 도 5를 참조하면, 자기정렬 콘택 마스크(100)를 이용한 자기정렬 콘택 식각 공정을 실시하여 다수의 자기정렬 콘택홀을 형성하고, 자기정렬 콘택 마스크(100)를 제거한 후, 다수의 자기정렬 콘택홀을 도전성 물질로 채워 다수의 라인

콘택 패턴(500a, 500b, 700a 및 700b)을 형성하고, 이로 인하여 본 발명의 콘택 저항 측정용 테스트 패턴이 제조된다.

<45> 상기에서, 다수의 라인 콘택 패턴(500a, 500b, 700a 및 700b)은 제 1 및 제 2 라인 콘택 지역(50 및 70) 각각에 고립된 형태로 배치되는데, 제 1 라인 콘택 지역(50)에는 도시 안된 소오스 확산층과 제 1 소오스 확산층(51a)을 전기적으로 연결하는 제 1 라인 콘택 패턴(500a)과, 제 2 및 제 3 소오스 확산층(51b 및 51c)을 전기적으로 연결하는 제 2 라인 콘택 패턴(500b)이 고립되어 배치되고, 제 2 라인 콘택 지역(70)에는 제 1 및 제 2 소오스 확산층(71a 및 71b)을 전기적으로 연결하는 제 1 라인 콘택 패턴(700a)과, 제 3 소오스 확산층(71c)과 도시 안된 소오스 확산층을 전기적으로 연결하는 제 2 라인 콘택 패턴(700b)이 고립되어 배치된다.

<46> 상기한 본 발명의 콘택 저항 측정용 테스트 패턴의 제조 공정은 이 측정용 테스트 패턴을 적용하고자 하는 실제 소자의 제조 공정의 디자인 룰에 준하여 이루어진다.

<47> 본 발명의 콘택 저항 측정용 테스트 패턴을 이용하여 콘택 저항을 측정하는 방법을 간단히 설명하면 다음과 같다.

<48> 전체 저항 'RT'는 콘택 개수를 'N', 라인 콘택 패턴의 저항을 'Rm', 콘택의 저항을 'Rc', 확산층의 저항을 'Rd', 저항 측정을 위해 인가하는 전압을 'V', 전압 'V'에 대해 측정된 전류를 'I'라 할 때, 콘택 저항 'Rc'는 하기의 [수학식 1]에 의해 얻어진다.

<49> 【수학식 1】 $RT = N \times (R_m + R_c + R_d) = V/I$

<50> $RC = V/(N \times I) - R_m - R_d \approx V/(N \times I) - R_d$

<51> 도 6 내지 도 8은 본 발명의 제 2 실시예에 따라 도 2의 콘택 저항 측정용 테스트 패턴의 제조 방법을 설명하기 위한 단면도로서, 도 6a, 도 7a 및 도 8a는 레이아웃도 이고, 도 6b, 도 7b 및 도 8b는 도 6a, 도 7a 및 도 8a의 B-B선을 따라 절단한 단면도이고, 도 6c, 도 7c 및 도 8c는 도 6a, 도 7a 및 도 8a의 C-C선을 따라 절단한 단면도이고, 도 6d, 도 7d 및 도 8d는 도 6a, 도 7a 및 도 8a의 D-D선을 따라 절단한 단면도이다.

<52> 도 6을 참조하면, 테스트 웨이퍼(20)에 다수의 소자 분리막(30)을 형성하여 다수의 액티브 영역(40)을 정의(define)한다. 라인 콘택 지역이 워드라인 지역(60)을 사이에 두고 한 쌍을 이루도록 제 1 라인 콘택 지역(50)과 제 2 라인 콘택 지역(70)을 정의한다. 문턱전압 이온주입 공정을 실시하여, 워드라인 지역(60)의 액티브 영역(40) 각각에 문턱전압 이온주입 영역(610a, 610b, 610c)을 형성한다.

<53> 도 7을 참조하면, 다수의 문턱전압 이온주입 영역(610a, 610b, 610c)이 형성된 워드라인 지역(60)에 워드라인(61)을 형성하고, 불순물 주입 공정을 실시하여, 제 1 라인 콘택 지역(50)의 액티브 영역(40) 각각에 소오스 확산층(51a, 51b, 51c)을, 제 2 라인 콘택 지역(70)의 다수의 액티브 영역(40) 각각에 소오스 확산층(71a, 71b, 71c)을 형성한다. 이후, 절연막 증착 및 스페이서 식각 공정을 통

해 워드라인(61)을 둘러싸는 절연막 스페이서(80)를 형성한다. 워드라인(61)을 포함한 전체 구조상에 표면이 평탄화된 절연층(90)을 형성한다. 절연층(90)상에 자기정렬 콘택 마스크(100)를 형성한다.

<54> 상기에서, 제 1 라인 콘택 지역(50)과 제 2 라인 콘택 지역(70)은 다수의 문턱전압 이온주입 영역(610a, 610b, 610c)에 의해 전기적으로 연결되는데, 제 1 및 제 2 라인 콘택 지역(50 및 70)의 제 1 소오스 확산층(51a 및 71a)은 워드라인 지역(60)의 제 1 문턱전압 이온주입 영역(610a)에 의해 전기적으로 연결되고, 제 1 및 제 2 라인 콘택 지역(50 및 70)의 제 2 소오스 확산층(51b 및 71b)은 워드라인 지역(60)의 제 2 문턱전압 이온주입 영역(610b)에 의해 전기적으로 연결되고, 제 1 및 제 2 라인 콘택 지역(50 및 70)의 제 3 소오스 확산층(51c 및 71c)은 워드라인 지역(60)의 제 3 문턱전압 이온주입 영역(610c)에 의해 전기적으로 연결된다. 여기서, 이들이 전기적으로 연결되기 위해서는 반드시 워드라인(60)에 전압을 인가하여 채널이 형성되도록 하여야 한다.

<55> 자기정렬 콘택 마스크(100)는 워드라인(61) 상부, 제 1 라인 콘택 지역(50)의 제 1 소오스 확산층(51a)과 제 2 소오스 확산층(51b) 사이의 소자 분리막(30) 일부분 상부, 제 2 라인 콘택 지역(70)의 제 2 소오스 확산층(71b)과 제 3 소오스 확산층(71c) 사이의 소자 분리막(30) 일부분 상부가 덮이도록(close) 형성한다.

<56> 도 8을 참조하면, 자기정렬 콘택 마스크(100)를 이용한 자기정렬 콘택 식각 공정을 실시하여 다수의 자기정렬 콘택홀을 형성하고, 자기정렬 콘택 마스크(100)를 제거한 후, 다수의 자기정렬 콘택홀을 도전성 물질로 채워 다수의 라인

콘택 패턴(500a, 500b, 700a 및 700b)을 형성하고, 이로 인하여 본 발명의 콘택 저항 측정용 테스트 패턴이 제조된다.

<57> 상기에서, 다수의 라인 콘택 패턴(500a, 500b, 700a 및 700b)은 제 1 및 제 2 라인 콘택 지역(50 및 70) 각각에 고립된 형태로 배치되는데, 제 1 라인 콘택 지역(50)에는 도시 안된 소오스 확산층과 제 1 소오스 확산층(51a)을 전기적으로 연결하는 제 1 라인 콘택 패턴(500a)과, 제 2 및 제 3 소오스 확산층(51b 및 51c)을 전기적으로 연결하는 제 2 라인 콘택 패턴(500b)이 고립되어 배치되고, 제 2 라인 콘택 지역(70)에는 제 1 및 제 2 소오스 확산층(71a 및 71b)을 전기적으로 연결하는 제 1 라인 콘택 패턴(700a)과, 제 3 소오스 확산층(71c)과 도시 안된 소오스 확산층을 전기적으로 연결하는 제 2 라인 콘택 패턴(700b)이 고립되어 배치된다.

<58> 상기한 본 발명의 콘택 저항 측정용 테스트 패턴의 제조 공정은 이 측정용 테스트 패턴을 적용하고자 하는 실제 소자의 제조 공정의 디자인 룰에 준하여 이루어진다.

<59> 상기한 본 발명의 제 1 실시예 및 제 2 실시예는 콘택 저항 측정용 테스트 패턴을 제조하는 방법으로, 제 1 실시예를 통해 제조된 콘택 저항 측정용 테스트 패턴과 제 2 실시예를 통해 제조된 콘택 저항 측정용 테스트 패턴은 도 2에 도시된 콘택 저항 측정용 테스트 패턴의 구조와 같다. 그러나, 제 2 실시예로 제조된 콘택 저항 측정용 테스트 패턴은 콘택 저항 측정을 위해 반드시 제 1 및 제 2 라인 콘택 지역(50 및 70) 사이의 워드라인(61)에 전압을 인가해야 하고, 제 1

및 제 2 라인 콘택 지역(50 및 70) 바깥쪽의 워드라인(61)에는 전압을 인가하지 않아야만 된다.

【발명의 효과】

<60> 상술한 바와 같이, 본 발명의 콘택 저항 측정용 테스트 패턴은 자기정렬된 라인 콘택을 사용하는 반도체 소자를 제조하기 위한 실제 공정을 진행하기 전에 소자에 적합한 콘택 저항을 용이하게 측정할 수 있고, 측정된 콘택 저항 데이터를 근거로 실제 소자에서 발생하는 문제점을 미리 진단할 수 있으므로, 콘택 저항을 줄일 수 있는 방안을 새로이 모색할 수 있을 뿐만 아니라, 셀 면적을 어느 범위까지 축소시킬 수 있는지를 결정할 수 있다. 또한, 본 발명의 콘택 저항 측정용 테스트 패턴은 소자의 불량률 미연에 방지할 수 있어 소자의 수율을 증대시킬 수 있을 뿐만 아니라, 불필요한 시간 소요 및 기타 비용을 절감할 수 있게 한다.

【특허청구범위】**【청구항 1】**

다수의 소자 분리막을 형성하여 다수의 액티브 영역이 정의된 테스트 웨이퍼;

상기 다수의 소자 분리막 및 다수의 액티브 영역을 가로지르는 워드라인 지역에 형성된 다수의 연결 확산층;

상기 워드라인 지역의 일측에 위치한 제 1 라인 콘택 지역에 형성된 다수의 소오스 확산층;

상기 워드라인 지역의 다른 측에 위치한 제 2 라인 콘택 지역에 형성된 다수의 소오스 확산층; 및

상기 제 1 및 제 2 라인 콘택 지역에 형성된 다수의 라인 콘택 패턴;

상기 제 1 라인 콘택 지역에 형성된 상기 라인 콘택 패턴과 상기 제 2 라인 콘택 지역에 형성된 상기 라인 콘택 패턴은 상호 엇갈리게 배치되며, 저항 측정을 위한 전류가 상기 워드라인 지역을 사이에 두고 상기 제 1 라인 콘택 지역과 상기 제 2 라인 콘택 지역을 따라 3차원적으로 흐르도록 구성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴.

【청구항 2】

제 1 항에 있어서,

상기 워드라인 지역, 상기 제 1 라인 콘택 지역 및 상기 제 2 라인 콘택 지역은 인접되어 나란히 위치된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴

【청구항 3】

제 1 항에 있어서,

상기 제 1 라인 콘택 지역의 소오스 확산층과 상기 제 2 라인 콘택 지역의 소오스 확산층은 상기 워드라인 지역의 연결 확산층에 의해 전기적으로 연결된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴.

【청구항 4】

제 1 항에 있어서,

상기 제 1 라인 콘택 지역의 다수의 라인 콘택 패턴중 어느 하나의 라인 콘택 패턴은 상기 제 1 라인 콘택 지역의 다수의 소오스 확산층중 2개를 전기적으로 연결시키며, 다른 라인 콘택 패턴과는 고립되어 형성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴.

【청구항 5】

제 1 항에 있어서,

상기 제 2 라인 콘택 지역의 다수의 라인 콘택 패턴중 어느 하나의 라인 콘택 패턴은 상기 제 2 라인 콘택 지역의 다수의 소오스 확산층중 2개를 전기적으로 연결시키며, 다른 라인 콘택 패턴과는 고립되어 형성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴.

【청구항 6】

테스트 웨이퍼에 다수의 소자 분리막을 형성하여 다수의 액티브 영역을 정의하는 단계;

불순물 주입 공정을 실시하여, 제 1 라인 콘택 지역의 다수의 액티브 영역에 소오스 확산층을, 워드라인 지역의 다수의 액티브 영역에 연결 확산층을, 제 2 라인 콘택 지역의 다수의 액티브 영역에 소오스 확산층을 동시에 형성하는 단계;

상기 워드라인 지역에 절연막 스페이서로 둘러싸인 워드라인을 형성하는 단계;

상기 워드라인을 포함한 전체 구조상에 표면이 평탄화된 절연층을 형성하는 단계;

상기 절연층상에 자기정렬 콘택 마스크를 형성하는 단계; 및

상기 자기정렬 콘택 마스크를 이용한 자기정렬 콘택 공정을 통해 상기 제 1 및 제 2 라인 콘택 지역에 다수의 라인 콘택 패턴을 형성하는 단계;

상기 제 1 라인 콘택 지역에 형성된 상기 라인 콘택 패턴과 상기 제 2 라인 콘택 지역에 형성된 상기 라인 콘택 패턴은 상호 엇갈리게 배치되며, 저항 측정을 위한 전류가 상기 워드라인 지역을 사이에 두고 상기 제 1 라인 콘택 지역과 상기 제 2 라인 콘택 지역을 따라 3차원적으로 흐르도록 이루어진 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 워드라인 지역, 상기 제 1 라인 콘택 지역 및 상기 제 2 라인 콘택 지역은 상기 다수의 소자 분리막 및 상기 다수의 액티브 영역을 가로지르면서 인접되어 나란히 위치된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴.

【청구항 8】

제 6 항에 있어서,

상기 제 1 라인 콘택 지역의 소오스 확산층과 상기 제 2 라인 콘택 지역의 소오스 확산층은 상기 워드라인 지역의 연결 확산층에 의해 전기적으로 연결된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 9】

제 6 항에 있어서,

상기 제 1 라인 콘택 지역의 다수의 라인 콘택 패턴중 어느 하나의 라인 콘택 패턴은 상기 제 1 라인 콘택 지역의 다수의 소오스 확산층중 2개를 전기적으로 연결시키며, 다른 라인 콘택 패턴과는 고립되어 형성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 10】

제 6 항에 있어서,

상기 제 2 라인 콘택 지역의 다수의 라인 콘택 패턴중 어느 하나의 라인 콘택 패턴은 상기 제 2 라인 콘택 지역의 다수의 소오스 확산층중 2개를 전기적으로 연결시키며, 다른 라인 콘택 패턴과는 고립되어 형성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 11】

제 6 항에 있어서,

상기 자기정렬 콘택 마스크는 상기 워드라인 상부, 상기 제 1 라인 콘택 지역의 제 1 소오스 확산층과 제 2 소오스 확산층 사이의 소자 분리막 일부분 상부, 상기 제 2 라인 콘택 지역의 제 2 소오스 확산층과 제 3 소오스 확산층 사이의 소자 분리막 일부분 상부가 덮이도록 형성하는 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 12】

테스트 웨이퍼에 다수의 소자 분리막을 형성하여 다수의 액티브 영역을 정의하는 단계;

문턱전압 이온주입 공정을 실시하여, 워드라인 지역의 다수의 액티브 영역에 문턱전압 이온주입 영역을 형성하는 단계;

상기 워드라인 지역에 워드라인을 형성하는 단계;

불순물 주입 공정을 실시하여, 제 1 라인 콘택 지역의 액티브 영역각각에 소오스 확산층을, 제 2 라인 콘택 지역의 다수의 액티브 영역 각각에 소오스 확산층을 형성하는 단계;

상기 워드라인을 둘러싸는 절연막 스페이서를 형성하는 단계;

상기 워드라인을 포함한 전체 구조상에 표면이 평탄화된 절연층을 형성하는 단계;

상기 절연층상에 자기정렬 콘택 마스크를 형성하는 단계; 및

상기 자기정렬 콘택 마스크를 이용한 자기정렬 콘택 공정을 통해 상기 제 1 및 제 2 라인 콘택 지역에 다수의 라인 콘택 패턴을 형성하는 단계;

상기 제 1 라인 콘택 지역에 형성된 상기 라인 콘택 패턴과 상기 제 2 라인 콘택 지역에 형성된 상기 라인 콘택 패턴은 상호 엇갈리게 배치되며, 저항 측정을 위한 전류가 상기 워드라인 지역을 사이에 두고 상기 제 1 라인 콘택 지역과

상기 제 2 라인 콘택 지역을 따라 3차원적으로 흐르도록 이루어진 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 13】

제 12 항에 있어서,

상기 워드라인 지역, 상기 제 1 라인 콘택 지역 및 상기 제 2 라인 콘택 지역은 상기 다수의 소자 분리막 및 상기 다수의 액티브 영역을 가로지르면서 인접되어 나란히 위치된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴.

【청구항 14】

제 12 항에 있어서,

상기 제 1 라인 콘택 지역의 소오스 확산층과 상기 제 2 라인 콘택 지역의 소오스 확산층은 상기 워드라인 지역의 워드라인에 전압을 인가하여 상기 문턱전압 이온주입 영역에 형성되는 채널에 의해 전기적으로 연결된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 15】

제 12 항에 있어서,

상기 제 1 라인 콘택 지역의 다수의 라인 콘택 패턴중 어느 하나의 라인 콘택 패턴은 상기 제 1 라인 콘택 지역의 다수의 소오스 확산층중 2개를 전기적으로

로 연결시키며, 다른 라인 콘택 패턴과는 고립되어 형성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【청구항 16】

제 12 항에 있어서,

상기 제 2 라인 콘택 지역의 다수의 라인 콘택 패턴중 어느 하나의 라인 콘택 패턴은 상기 제 2 라인 콘택 지역의 다수의 소오스 확산층중 2개를 전기적으로 연결시키며, 다른 라인 콘택 패턴과는 고립되어 형성된 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

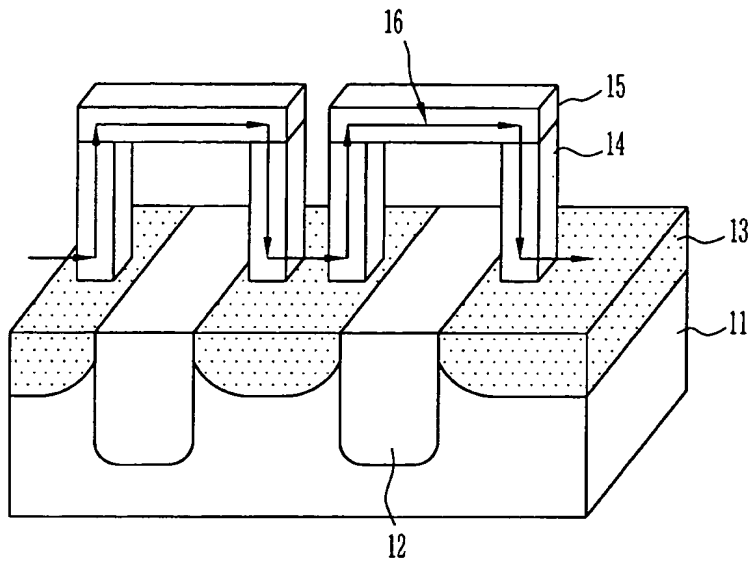
【청구항 17】

제 12 항에 있어서,

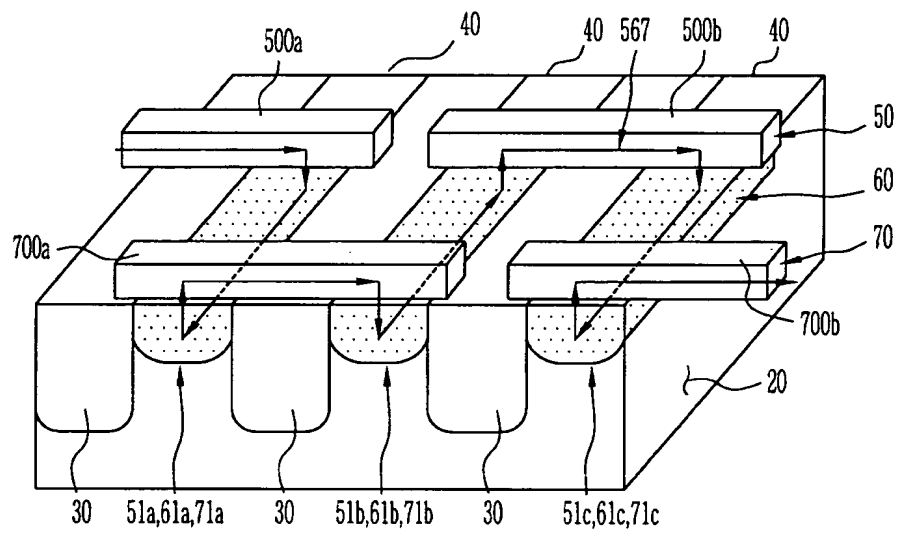
상기 자기정렬 콘택 마스크는 상기 워드라인 상부, 상기 제 1 라인 콘택 지역의 제 1 소오스 확산층과 제 2 소오스 확산층 사이의 소자 분리막 일부분 상부, 상기 제 2 라인 콘택 지역의 제 2 소오스 확산층과 제 3 소오스 확산층 사이의 소자 분리막 일부분 상부가 덮이도록 형성하는 것을 특징으로 하는 콘택 저항 측정용 테스트 패턴 제조 방법.

【도면】

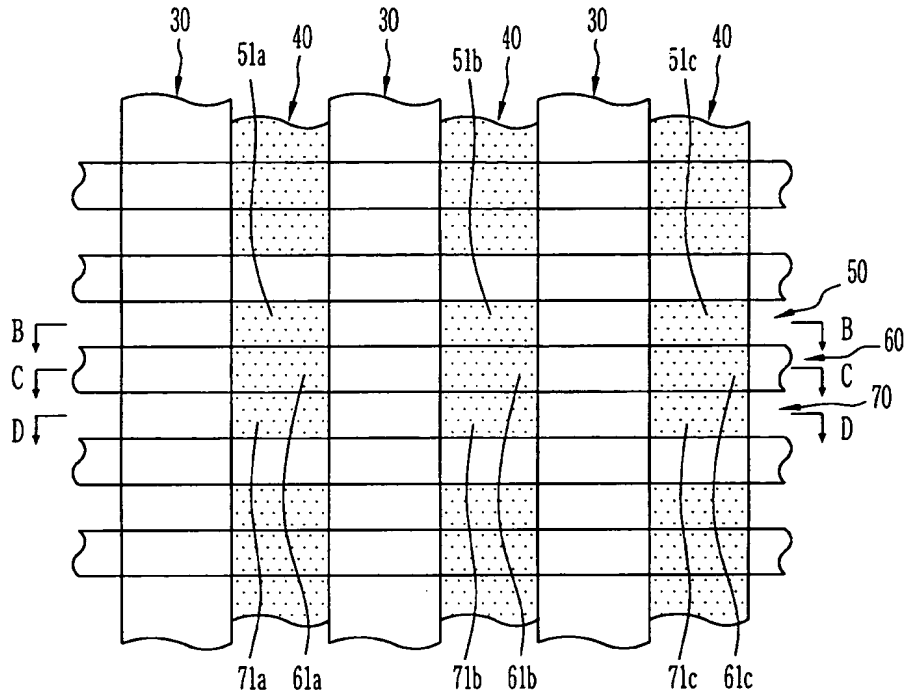
【도 1】



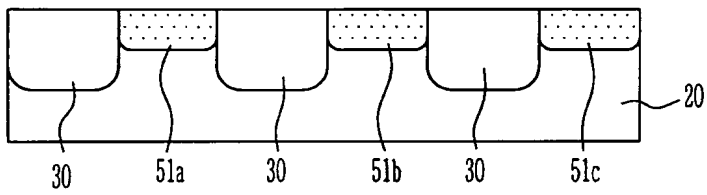
【도 2】



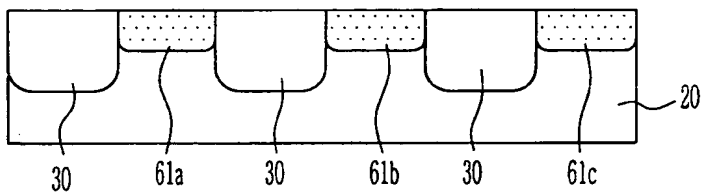
【도 3a】



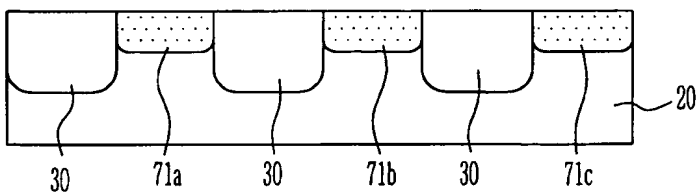
【도 3b】



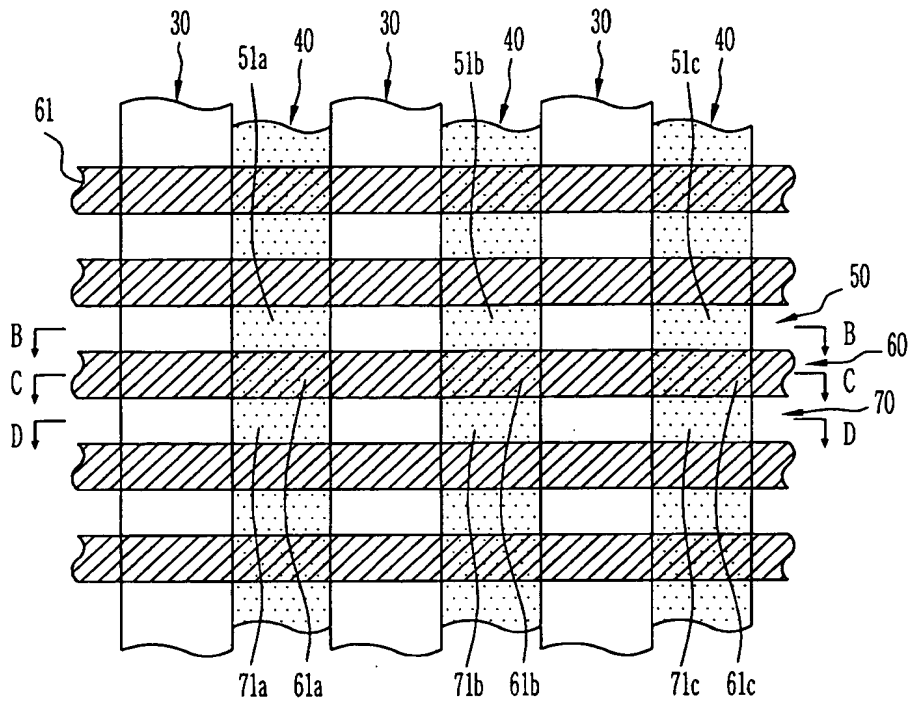
【도 3c】



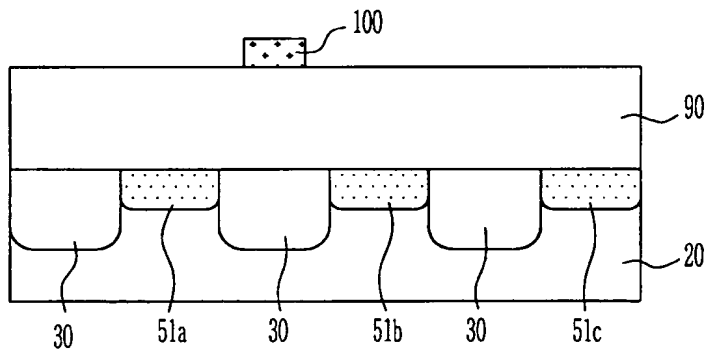
【도 3d】



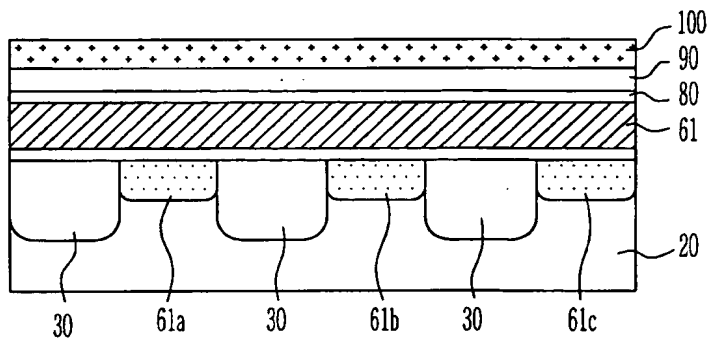
【도 4a】



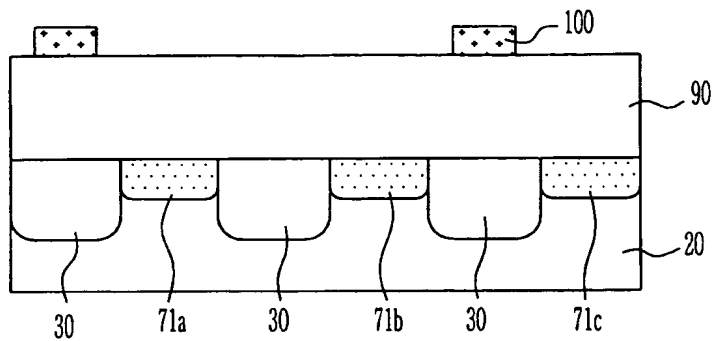
【도 4b】



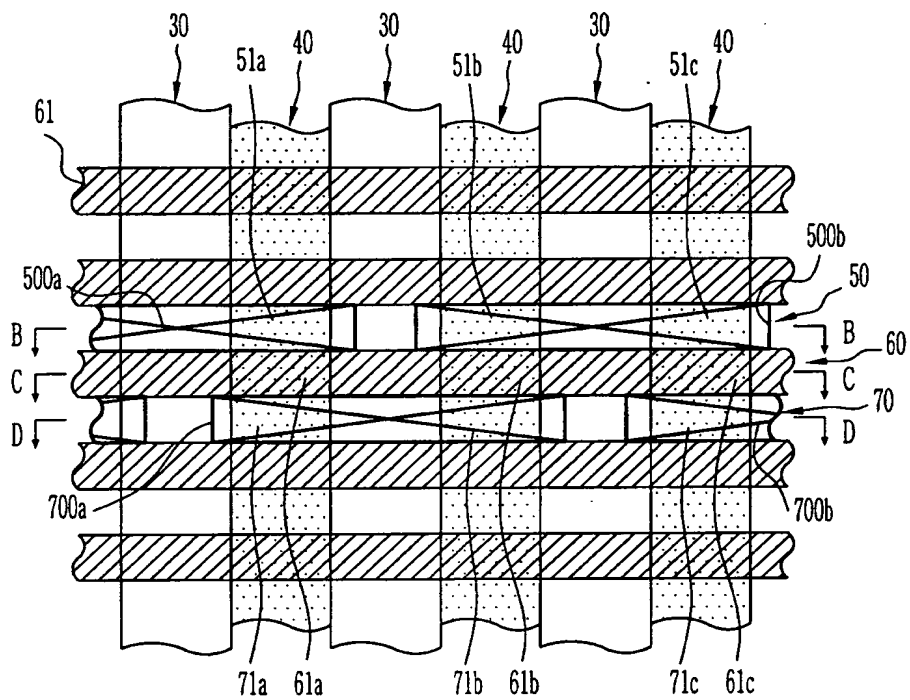
【도 4c】



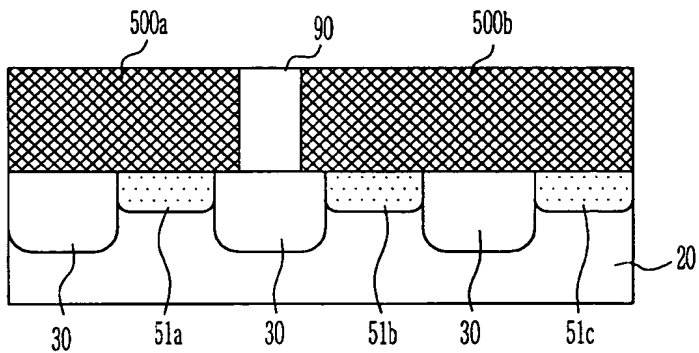
【도 4d】



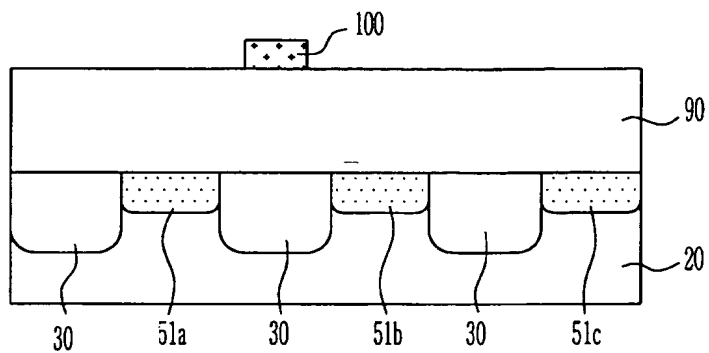
【도 5a】



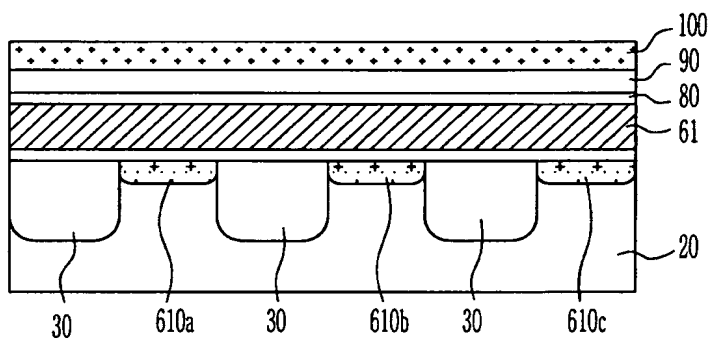
【도 5b】



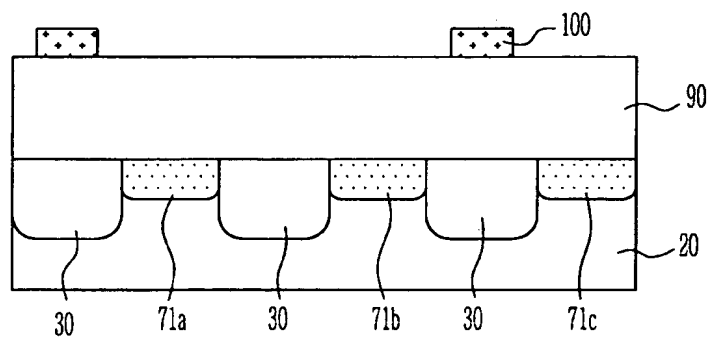
【도 7b】



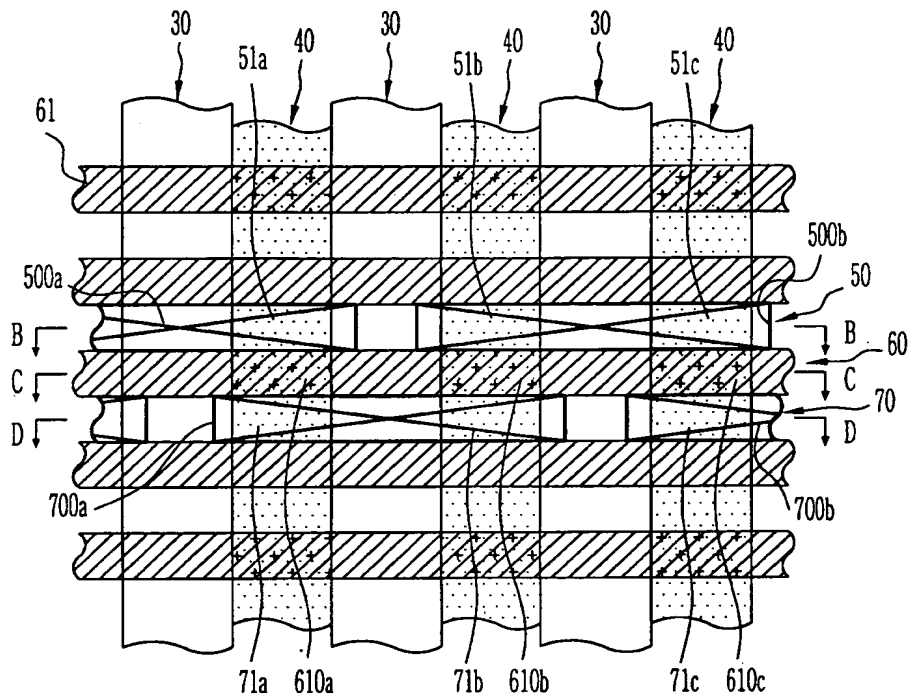
【도 7c】



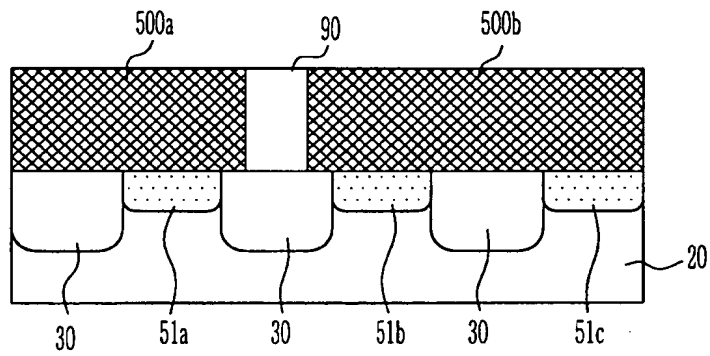
【도 7d】



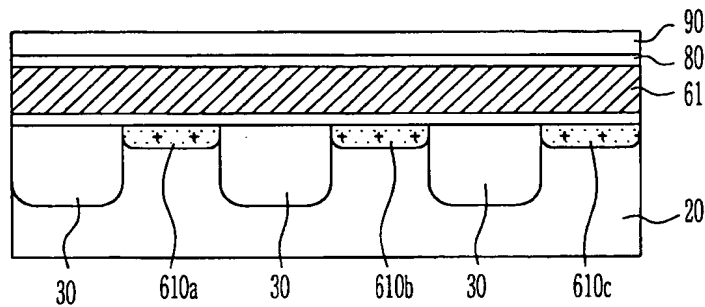
【도 8a】



【도 8b】



【도 8c】



【도 8d】

